

Requested document:

[DE19932635 click here to view the pdf document](#)

Equidistant, synchronous clock generation method for PROFIBUS-DP subscriber

Patent Number: DE19932635

Publication date: 2000-08-17

Inventor(s): FINSTERBUSCH ROLF (DE); SEJA MARCO (DE); HELLMICH STEFFEN (DE)

Applicant(s): SIEMENS AG (DE)

Requested Patent: [DE19932635](#)

Application Number: DE19991032635 19990713

Priority Number(s): DE19991032635 19990713; DE19991006297 19990215

IPC Classification: H04L7/033; G06F1/04

EC Classification: [H04L7/033C](#), [H03L7/08](#)

Equivalents:

Abstract

The method involves generating a clock using a digital PLL and synchronising the generated clock onto the mean value of the DP clock. Preferably, the forming of the mean value is carried out with a PI controller. Jitter is reduced when adjusting the controller parameter. A time window is provided, so that delayed DP clocks are not taken into consideration when forming the mean value. When the DP clocks are delayed or fail, the output clock of the PLL is generated with unchanged frequency.

Data supplied from the [esp@cenet](#) database - I2



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Offenlegungsschrift
⑯ DE 199 32 635 A 1

⑯ Int. Cl. 7:
H 04 L 7/033
G 06 F 1/04

DE 199 32 635 A 1

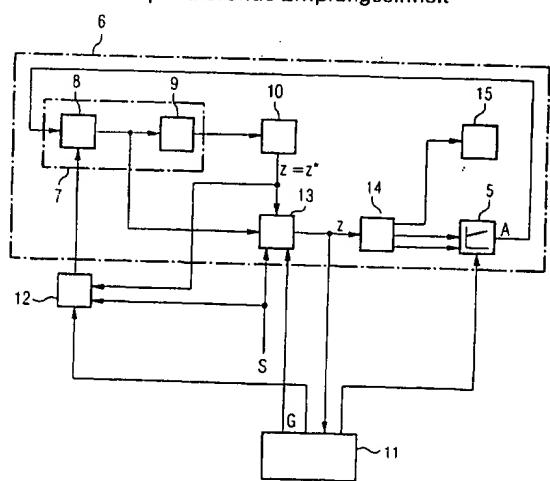
⑯ Aktenzeichen: 199 32 635.5
⑯ Anmeldetag: 13. 7. 1999
⑯ Offenlegungstag: 17. 8. 2000

⑯ Innere Priorität:
199 06 297.8 15. 02. 1999
⑯ Anmelder:
Siemens AG, 80333 München, DE

⑯ Erfinder:
Finsterbusch, Rolf, Dipl.-Ing., 09114 Chemnitz, DE;
Hellmich, Steffen, Dipl.-Ing., 09116 Chemnitz, DE;
Seja, Marco, 09648
Schönborn-Dreiwerden-Seifersbach, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

- ⑯ Synchronisierverfahren für eine Empfangseinheit und hiermit korrespondierende Empfangseinheit
⑯ Eine Empfangseinheit (2) wird mit einer Sendeeinheit (1) dadurch genauer synchronisiert, daß anhand von von der Sendeeinheit (1) ausgesandten Synchronisationsignalen (S) ein Taktgeber (7) einer phasenverriegelten Schleife (6) nachgeregelt wird, wobei ein Phasenregler (5) momentanen Phasenfehler (z) zu einem Integrationswert (I) aufintegriert und der Integrationswert (I) nur zu einem Integrationsbruchteil (ki) ausgeregelt wird, der kleiner als eins ist.



DE 199 32 635 A 1

Die vorliegende Erfindung betrifft ein Synchronisierverfahren für eine Empfangseinheit,

- wobei der Empfangseinheit von einer Sendeeinheit zyklisch ausgesandte Synchronisationssignale übermittelt werden,
- wobei die Empfangseinheit die Synchronisationssignale einem Phasenregler einer phasenverriegelten Schleife mit einem Taktgeber zuführt,
- wobei der Taktgeber zwischen zwei Synchronisationssignalen eine Anzahl von Taktignalen ausgibt,
- wobei der Phasenregler beim Empfang der Synchronisationssignale momentane Phasenfehler ermittelt und den Taktgeber derart nachregelt, daß der Taktgeber zwischen zwei Synchronisationssignalen eine Sollanzahl von Taktignalen ausgibt,

sowie eine hiermit korrespondierende Empfangseinheit.

Derartige Synchronisierverfahren und die korrespondierenden Empfangseinheiten sind allgemein bekannt. Sie werden unter anderem in Feldbussystemen, z. B. dem PROFIBUS, eingesetzt.

Feldbusysteme sind verteilte Steuerungssysteme, die in der Regel eine Sendeeinheit (Kopfbaugruppe, Busmaster) und eine Vielzahl von Empfangseinheiten (Slaves) aufweisen. Die Ansteuerung der einzelnen Slavebaugruppen geschieht in der Regel dadurch, daß die Sendeeinheit den Empfangseinheiten ein Befehlstelegramm übermittelt. Bei Empfang des Befehlstelegramms geben die Empfangseinheiten Sollwerte an eine gesteuerte technische Anlage aus, die ihnen zuvor von der Sendeeinheit übermittelt worden sind. Gleichzeitig lesen sie Istwerte von der gesteuerten technischen Anlage ein, welche sie nachfolgend an die Sendeeinheit übermitteln. Die Sendeeinheit errechnet dann neue Sollwerte, die sie den einzelnen Empfangseinheiten übermittelt, so daß diese für das nächste Befehlstelegramm bereit sind.

Die Befehlstelegramme werden von der Sendeeinheit zeitlich äquidistant gesendet. Aus den Befehlstelegrammen sind daher Synchronisationssignale ableitbar, mittels derer die Empfangseinheiten mit der Sendeeinheit synchronisierbar sind.

In der Praxis verbleibt zwischen dem Übermitteln der eingelesenen Istwerte an die Sendeeinheit und dem Übermitteln der Sollwerte an die Empfangseinheiten einerseits und den Übermitteln des nächsten Befehlstelegramms andererseits ein zeitlicher Spielraum. Dieser wird in der Regel für sogenannte azyklische Telegramme genutzt. Hierbei kann es geschehen, daß aufgrund von Verzögerungen durch die azyklischen Telegramme einzelne Befehlstelegramme verspätet gesendet werden. Der Empfang derart verspäteter Befehlstelegramme bewirkt eine fehlerhafte Nachsynchronisation der Empfangseinheiten. Bei vielen Anwendungen ist diese fehlerhafte Nachsynchronisation unkritisch. Bei zeitkritischen Anwendungen hingegen, insbesondere bei der Kopplung interpolierender Antriebsachsen, sind derartige fehlerhafte Nachsynchronisation nicht tolerierbar.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein Synchronisierverfahren für eine Empfangseinheit zu schaffen, mittels derer die Empfangseinheit mit hinreichender Genauigkeit mit der Sendeeinheit synchronisierbar ist.

Die Aufgabe wird dadurch gelöst, daß der Phasenregler die momentane Phasenfehler zu einem Integrationswert aufintegriert und daß der Integrationswert zu einem Integrationsbruchteil ausgeregelt wird, wobei der Integrationsbruchteil kleiner als eins ist.

Wenn der Phasenregler die momentanen Phasenfehler zu einem Proportionalbruchteil ausregelt, wobei der Proportionalbruchteil kleiner als eins ist, ergibt sich eine schnellere Ausregelung des Phasenfehlers. Dies gilt insbesondere dann, wenn der Proportionalbruchteil größer als der Integrationsbruchteil ist.

Wenn der Phasenregler den Taktgeber nur dann nachregelt, wenn der Absolutwert des momentanen Phasenfehlers einen Maximalfehler nicht übersteigt; bewirken Verzögerungen der Synchronisationssignale durch azyklische Telegramme keine fehlerhafte Nachregelung des Taktgebers.

Wenn bei Überschreiten des Maximalfehlers ein Zähler hochgezählt wird, ist insbesondere ein dauerhafter Fehler der Kommunikation zwischen Sendeeinheit und Empfangseinheit erkennbar.

Wenn der phasenverriegelten Schleife von einer Steuereinheit ein Gültigkeitssignal übermittelt wird und das Synchronisierverfahren nur bei Vorliegen des Gültigkeitssignals ausgeführt wird, ist sicherstellbar, daß die Synchronisation auf die richtigen Synchronisationssignale erfolgt.

Wenn innerhalb des Taktgebers ein Taktgenerator Primärtaktsgen erzeugt, die einem Frequenzteiler zugeführt werden, der ausgangsseitig die heruntergeteilten Primärtaktsgenale als Taktsignale ausgibt, ist gewährleistet, daß alle zwischen dem Taktgenerator und dem Frequenzteiler angeordneten Komponenten ebenfalls phasenrichtig synchronisiert sind.

Wenn vor der Ermittlung des ersten momentanen Phasenfehlers der Taktgeber die Sollanzahl von Taktignalen ausgibt, dann angehalten wird und beim Empfang des nächsten Synchronisationssignals wieder gestartet wird, ergibt sich eine besonders schnelle Synchronisation der Empfangseinheit beim Anlauf.

Wenn beim Empfang des ersten Synchronisationssignals nach dem Wiederstarten des Taktgebers der momentane Phasenfehler zumindest im wesentlichen ausgeregelt wird und das Aufintegrieren der momentanen Phasenfehler und das Ausregeln des Integrationswerts, ggf. auch das Ausregeln des momentanen Phasenfehlers, erst ab dem Empfang des zweiten Synchronisationssignals ausgeführt wird, wird die Synchronisierung zu Beginn des Verfahrens noch weiter beschleunigt.

Weitere Vorteile und Einzelheiten ergeben sich aus der nachfolgenden Beschreibung eines Ausführungsbeispiels.

45 Dabei zeigen in Prinzipdarstellung:

- Fig. 1 ein verteiltes Steuerungssystem,
- Fig. 2 eine Empfangseinheit und
- Fig. 3 eine phasenverriegelte Schleife.

50 Gemäß Fig. 1 weist ein verteiltes Steuerungssystem eine Sendeeinheit 1 und Empfangseinheiten 2 auf, die über ein Bussystem 3 miteinander verbunden sind. Die Sendeeinheit 1 sendet zyklisch Telegramme an die Empfangseinheiten 2, welche entsprechend auf die empfangenen Telegramme reagieren. Beispielsweise lesen die Empfangseinheiten 2 von einer gesteuerten technischen Anlage 4 Eingangsgrößen ein und geben Ausgangsgrößen an die technische Anlage 4 aus. Dies ist in Fig. 1 durch die Pfeile zwischen den Empfangseinheiten 2 und der technischen Anlage 4 angegedeutet.

Die Kommunikation zwischen der Sendeeinheit 1 und den Empfangseinheiten 2 erfolgt in der Regel nach folgendem, zyklisch abgearbeiteten Schema: Zunächst übermittelt die Sendeeinheit 1 den Empfangseinheiten 2 Ausgangsgrößen, die an die technische Anlage 4 ausgegeben werden sollen. Dann übermittelt sie ein Befehlstelegramm an die Empfangseinheiten 2. Bei Übermittlung des Befehlstelegramms geben die Empfangseinheiten 2 die Ausgangsgrößen an die technische Anlage 4 aus und lesen Eingangsgrößen von der technischen Anlage 4 ein. Sodann werden die eingelesenen

Eingangsgrößen von der Sendeinheit 1 abgefragt.

Im Idealfall wird das obenstehende Schema streng **zyklisch** und zeitlich streng **äquidistant** abgearbeitet. Insbesondere die Befehlstelegramme können daher als **Synchronisationssignale S** verwendet werden bzw. aus den Befehlstelegrammen **Synchronisationssignale S** abgeleitet werden. Mittels der **Synchronisationssignale S** können sich dann die Empfangseinheiten 2 mit der Sendeinheit 1 synchronisieren.

Die von den Empfangseinheiten 2 empfangenen **Synchronisationssignale** werden gemäß Fig. 2 und 3 über einen Busanschlußbaustein 2' einem Phasenregler 5 einer phasenverriegelten Schleife 6 zugeführt. Die phasenverriegelte Schleife 6 weist einen Taktgeber 7 auf. Innerhalb des Taktgebers 7 erzeugt ein Taktgenerator 8 Primäraktionssignale, die einem Frequenzteller 9 zugeführt werden. Ausgangsseitig gibt der Frequenzteller 9 die heruntergeteilten Primäraktionssignale als Taktsignale aus. Die Taktsignale werden einem Taktsignalzähler 10 zugeführt.

Bei idealer Regelung des Taktgenerators 8 gibt der Taktgeber 7 zwischen zwei **Synchronisationssignalen S** exakt eine Sollanzahl Z^* von Taktignalen aus. In der Regel gibt der Taktgeber 7 aber eine Anzahl Z von Taktignalen aus, welche von der Sollanzahl Z^* abweicht. Der Phasenregler 5 ermittelt daher beim Empfang der **Synchronisationssignale** momentane Phasenfehler z und regelt dann den Taktgeber 7 derart nach, daß er zwischen zwei **Synchronisationssignalen S** die Sollanzahl Z^* von Taktignalen ausgibt. Dies geschieht wie folgt:

Vor Beginn der Synchronisation, also vor der Ermittlung des ersten momentanen Phasenfehlers z , wird zunächst von einer Steuereinheit 11 einer Ansteuereinheit 12 ein Startsignal vorgegeben. Diese steuert daraufhin den Taktgenerator 8 des Taktgebers 7 an. Wenn der Taktsignalzähler 10 die Sollanzahl Z^* von Taktignalen gezählt hat, übermittelt der Taktsignalzähler 10 ein Signal an die Ansteuereinheit 12. Diese hält daraufhin den Taktgenerator 8 wieder an. Die phasenverriegelte Schleife 6 ist dadurch sozusagen "vorgespannt". Beim Empfang des nächsten **Synchronisationssignals S**, das ebenfalls an die Ansteuereinheit 12 übermittelt wird, startet diese dann den Taktgenerator 8 wieder. Dadurch wird der Taktsignalzähler 10 neu hochgezählt.

Das Erreichen der Sollanzahl Z^* sowie das Eintreffen des nächsten **Synchronisationssignals S** wird an einen Primäraktitzähler 13 gemeldet. Beim Eintreffen des ersten dieser beiden Signale wird der Primäraktitzähler 13 gestartet, beim Eintreffen des zweiten der beiden Signale gestoppt. Der (vorzeichenbehaftete) Zählerstand des Primäraktitzählers 13 ist somit ein direktes Maß für den Fehler zwischen der Taktung des Taktgebers 7 und der Periodizität der **Synchronisationssignale S**.

Beim Empfang des ersten **Synchronisationssignals S** nach dem Wiederstarten des Taktgebers 7 wird der Zählerstand des Primäraktitzählers 13 an die Steuereinheit 11 übermittelt. Diese errechnet daraus einen Korrekturwert für die Ansteuerung des Taktgenerators 8 und gibt diesen Korrekturwert direkt dem Phasenregler 5 vor. Dadurch wird der beim ersten **Synchronisationszyklus** detektierte momentane Phasenfehler z zumindest im wesentlichen ausgeregelt.

In den weiteren **Synchronisationszyklen** wird der Primäraktitzähler 13 stets in Abhängigkeit vom **Synchronisationssignal S** und dem Erreichen der Sollanzahl Z^* gesteuert. Beim Eintreffen des ersten dieser beiden Signale wird der Primäraktitzähler 13 gestartet und beim Eintreffen des zweiten dieser beiden Signale gestoppt. Der Zählerstand des Primäraktitzählers 13 wird einem Vergleicher 14 zugeführt. Der Zählerstand des Primäraktitzählers 13 wird betragsmäßig mit einem **Maximalfehler** verglichen. Wenn der Zählerstand den

Maximalfehler übersteigt, wird ein **Auszeitzähler 15** hochgezählt. In diesem Fall wird an den Phasenregler 5 kein Tchlersignal ausgegeben. Der Phasenregler 5 behält sein bisheriges Ausgangssignal bei.

5 Andernfalls wird das Ausgangssignal Δ des Phasenreglers 5 nach folgenden Formeln berechnet:

$$I(i) = I(i-1) + k_i \cdot z(i)$$

$$\Delta(i) = k_p \cdot z(i) + I(i)$$

10 $z(i)$ ist dabei der momentane Phasenfehler, k_p der Proportionalbruchteil, zu dem der momentane Phasenfehler $z(i)$ ausgeregelt wird, $I(i)$ der Integrationswert, zu dem die momentanen Phasenfehler $z(k)$, $k = 0, 1, 2, 3, \dots, i$ auf integriert wurden und k_i der Integrationsbruchteil, zu dem der Integrationswert I ausgeregelt wird.

In der Praxis haben sich folgende Werte als günstig erwiesen:

20 Der Integrationsbruchteil k_i sollte typisch zwischen 0,01 und 0,04 liegen, also kleiner als 1 sein. Auch der Proportionalbruchteil k_p sollte kleiner als 1 sein, aber größer als der Integrationsbruchteil k_i . Typisch liegt der Proportionalbruchteil k_p zwischen 0,04 und 0,10.

25 In der Regel wird der Primäraktitzähler 13 bei jeder Übermittlung eines **Synchronisationssignals S** gestartet bzw. gestoppt. Es ist aber auch möglich, der phasenverriegelten Schleife 6 zusätzlich von der Steuereinheit 11 ein Gültigkeitssignal G zu übermitteln. In diesem Fall wird der Primäraktitzähler 13 nur dann gestartet und gestoppt, wenn das Gültigkeitssignal G anliegt. Es ist ferner möglich, den Primäraktitzähler 13 um einen Phasenversatz bezüglich des **Synchronisationssignals S** versetzt zu starten und auszuwerten.

30 Mit dem erfindungsgemäßen Verfahren lassen sich insbesondere auch vertikal gesteuerte interpolierende Achsen mit hinreichender Genauigkeit ansteuern.

Patentansprüche

1. Synchronisierverfahren für eine Empfangseinheit (2),

– wobei der Empfangseinheit (2) von einer Sendeinheit (1) zyklisch ausgesandte **Synchronisationssignale (S)** übermittelt werden,

– wobei die Empfangseinheit (2) die **Synchronisationssignale (S)** einem Phasenregler (5) einer phasenverriegelten Schleife (6) mit einem Taktgeber (7) zuführt,

– wobei der Taktgeber (7) zwischen zwei **Synchronisationssignalen (S)** eine Anzahl (Z) von Taktignalen ausgibt,

– wobei der Phasenregler (5) beim Empfang der **Synchronisationssignale (S)** momentane Phasenfehler (z) ermittelt und den Taktgeber (7) derart nachregelt, daß der Taktgeber (7) zwischen zwei **Synchronisationssignalen (S)** eine Sollanzahl (Z^*) von Taktignalen ausgibt,

– dadurch gekennzeichnet, daß der Phasenregler (5) die momentanen Phasenfehler (z) zu einem Integrationswert (I) auf integriert und daß der Integrationswert (I) zu einem Integrationsbruchteil (k_i) ausgeregelt wird, wobei der Integrationsbruchteil (k_i) kleiner als eins ist.

2. Synchronisierverfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Phasenregler (5) die momentanen Phasenfehler (z) zu einem Proportionalbruchteil (k_p) ausregelt, wobei der Proportionalbruchteil (k_p) kleiner als eins ist.

3. Synchronisierverfahren nach Anspruch 2, dadurch gekennzeichnet, daß der Proportionalbruchteil (k_p) größer als der Integrationsbruchteil (k_i) ist.
4. Synchronisierverfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß der Phasenregler (5) den Taktgeber (7) nur dann nachregelt, wenn der Absolutwert des momentanen Phasenfehlers (z) einen Maximalfehler nicht übersteigt.
5. Synchronisierverfahren nach Anspruch 4, dadurch gekennzeichnet, daß bei Übersteigen des Maximalfchlers ein Zähler (15) hochgezählt wird.
6. Synchronisierverfahren nach einem der obigen Ansprüche, dadurch gekennzeichnet, daß der phasenverriegelten Schleife (6) von einer Steuereinheit (11) ein Gültigkeitssignal (G) übermittelt wird und daß das Synchronisierverfahren nur bei Vorliegen des Gültigkeitssignals (G) ausgeführt wird.
7. Synchronisierverfahren nach einem der obigen Ansprüche, dadurch gekennzeichnet, daß innerhalb des Taktgebers (7) ein Taktgenerator (8) Primärtaktsignale erzeugt, die einem Frequenzteiler (9) zugeführt werden, der ausgangsseitig die heruntergeteilten Primärtaktsignale als Taktsignale ausgibt.
8. Synchronisierverfahren nach einem der obigen Ansprüche, dadurch gekennzeichnet, daß vor der Ermittlung des ersten momentanen Phasenfehlers (z) der Taktgeber (7) die Sollanzahl (Z^*) von Taktsignalen ausgibt, dann angehalten wird und beim Empfang des nächsten Synchronisationssignals (S) wieder gestartet wird.
9. Synchronisierverfahren nach Anspruch 8, dadurch gekennzeichnet, daß beim Wiederstarten des Taktgebers (7) der Taktgeber (7) erst nach einem Phasenversatz gestartet wird und daß die Anzahl (Z) der vom Taktgeber (7) bis zum nächsten empfangenen Synchronisationssignal (S) zuzüglich dem Phasenversatz ausgegebene Taktsignale ermittelt wird.
10. Synchronisierverfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß beim Empfang des ersten Synchronisationssignals (S) nach dem Wiederstarten des Taktgebers (7) der momentane Phasenfehler (z) zu mindest im wesentlichen ausgeregelt wird und das Aufintegrieren der momentanen Phasenfehler (z) und das Ausregeln des Integrationswerts (I), ggf. auch das Ausregeln des momentanen Phasenfehlers (z), erst ab dem Empfang des zweiten Synchronisationssignals (S) ausgeführt wird.
11. Empfangseinheit zur Durchführung eines Synchronisierverfahrens nach einem der obigen Ansprüche.

Hierzu 2 Seite(n) Zeichnungen

FIG 1

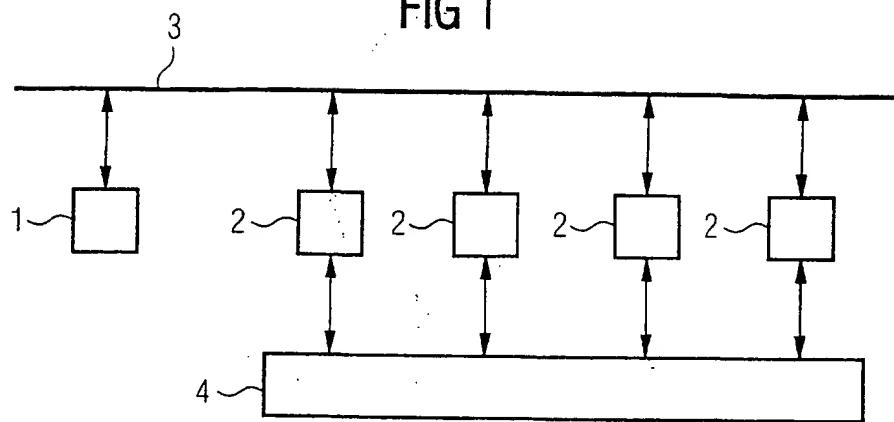
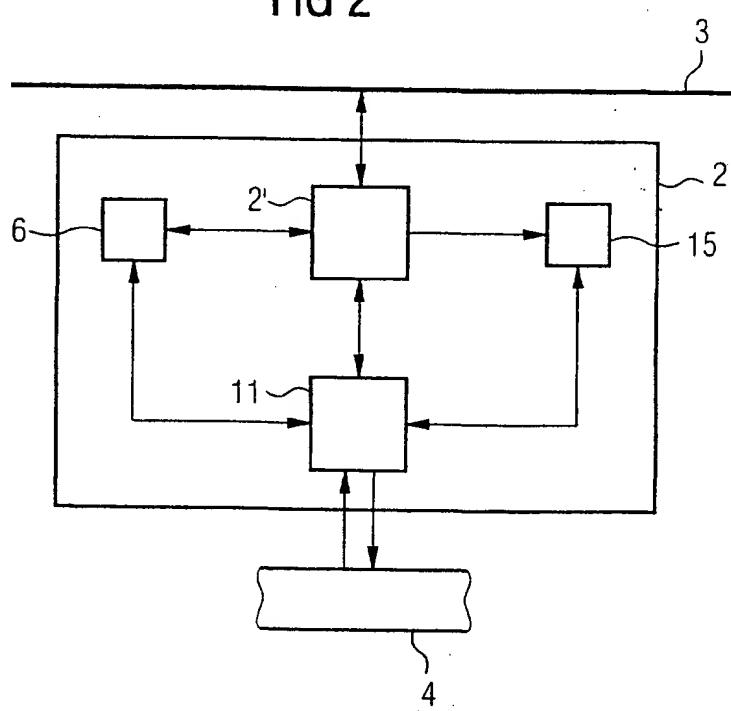


FIG 2



ZEICHNUNGEN SEITE 2

Nummer:
Int. Cl.⁷:
Offenlegungstag:

DE 199 32 635 A1
H 04 L 7/033
17. August 2000

FIG 3

